

CONTENIDO

1.- INTRODUCCION

- 1.1.- Antecedentes históricos
- 1.2.- Estado actual de la lógica programable y principales fabricantes
- 1.3.- Dispositivos lógicos programables (PLD)
- 1.4.- Dispositivos lógicos programables de alto nivel de integración
- 1.5.- Entorno de desarrollo de la lógica programable
- 1.6.- La Lógica Programable y los Lenguajes de Descripción en Hardware (HDL)
- 1.7.- Orígenes del lenguaje VHDL
- 1.8.- VHDL vs MSI
- 1.9.- Concurrencias y señales

2.- EL LENGUAJE VHDL Y SUS CARACTERISTICAS

- 2.1.- Unidades básicas de diseño
- 2.2.- Entidad
- 2.3.- Cómo se declara una entidad
 - 2.3.1.- Modos
 - 2.3.1.1.- in
 - 2.3.1.2.- out
 - 2.3.1.3.- inout
 - 2.3.1.4.- buffer
 - 2.3.2.- Tipos de datos
 - 2.3.2.1.- Bit
 - 2.3.2.2.- Boolean
 - 2.3.2.3.- Bit_vector
 - 2.3.2.4.- Integer
- 2.4.- Diseño de entidades utilizando vectores
- 2.5.- Cómo se declara una arquitectura
 - 2.5.1.- Descripción funcional
 - 2.5.2.- Descripción por flujo de datos
 - 2.5.3.- Descripción por flujo de datos mediante WHEN – ELSE
 - 2.5.4.- Descripción por flujo de datos mediante ecuaciones booleanas
 - 2.5.5.- Descripción estructural
- 2.6.- Paquetes
- 2.7.- Librerías

3.- OBJETOS, TIPOS DE DATOS Y OPERACIONES

- 3.1.- Objetos
- 3.2.- Identificadores
- 3.3.- Palabras reservadas
- 3.4.- Símbolos especiales
- 3.5.- Tipos de datos
- 3.6.- Expresiones y operadores
- 3.7.- Atributos de los vectores

4.- SINTAXIS DE SENTENCIAS DE CONTROL Y ASIGNACION

- 4.1.- Sentencias Secuenciales
- 4.2.- Asignación a señal
- 4.3.- Asignación a variable
- 4.4.- Sentencia IF

- 4.5.- Sentencia CASE
- 4.6.- Sentencia LOOP
- 4.7.- Sentencia EXIT
- 4.8.- Sentencia NEXT
- 4.9.- Sentencia NULL
- 4.10.- Sentencia WAIT
- 4.11.- Sentencia WAIT UNTIL

5.- SINTAXIS DE SENTENCIAS CONCURRENTES

- 5.1.- Sentencias concurrentes
- 5.2.- Sentencia PROCESS
- 5.3.- Asignación concurrente a señal
- 5.4.- Asignación concurrente condicional
- 5.5.- Asignación concurrente con selección

6.- DISEÑO LOGICO COMBINACIONAL MEDIANTE VHDL

6.1.- Programación de estructuras básicas mediante declaraciones concurrentes

- 6.1.1.- Declaraciones condicionales asignadas a una señal (WHEN – ELSE)
- 6.1.2.- Declaraciones concurrentes asignadas a señales
- 6.1.3.- Selección de una señal (WITH - SELECT – WHEN)
- 6.1.4.- Operadores relacionales
- 6.1.5.- Tipos lógicos estándares
- 6.1.6.- Operadores aritméticos

6.2.- Programación de estructuras básicas mediante declaraciones secuenciales

6.3.- Ejercicios

- 6.3.1.- Comparador de magnitud de 4 bits
- 6.3.2.- Buffer tri – estado
- 6.3.3.- Multiplexores
- 6.3.4.- Demultiplexores
- 6.3.5.- Descripción de multiplexores mediante ecuaciones booleanas
- 6.3.6.- Sumadores**
 - 6.3.6.1.- Medio sumador
 - 6.3.6.2.- Sumador completo
- 6.3.7.- Decodificadores**
 - 6.3.7.1.- Decodificador BCD a decimal
 - 6.3.7.2.- Decodificador de BCD a display de 7 segmentos
- 6.3.8.- Codificadores
- 6.3.9.- Restador
- 6.3.10.- Multiplicador

7.- DISEÑO LOGICO SECUENCIAL MEDIANTE VHDL

- 7.1.- Flip – flops
 - 7.1.1.- SR
 - 7.1.2.- JK
 - 7.1.3.- D
 - 7.1.4.- T
- 7.2.- Registros
- 7.3.- Contadores
 - 7.3.- Binario de 4 bits
 - 7.4.- Con reset y carga en paralelo